

OPAx388 精密、零漂移、零交叉、 真正的轨至轨输入/输出运算放大器

1 特性

- 超低失调电压: $\pm 0.25\mu\text{V}$
- 零漂移: $\pm 0.005\mu\text{V}/^\circ\text{C}$
- 零交叉: 140dB CMRR 真正 RRIO
- 低噪声: 1kHz 时为 $7.0\text{nV}\sqrt{\text{Hz}}$
- 无 1/f 噪声: 140nV_{PP} (0.1Hz 至 10Hz)
- 快速建立时间: $2\mu\text{s}$ (1V, 0.01%)
- 增益带宽: 10MHz
- 单电源: 2.5V 至 5.5V
- 双电源: $\pm 1.25\text{V}$ 至 $\pm 2.75\text{V}$
- 真正的轨至轨输入和输出
- EMI/RFI 滤波输入
- 行业标准封装:
 - 单通道电源版本采用 SOIC-8、SOT-23-5 和 VSSOP-8 封装
 - 双通道电源版本采用 SOIC-8 和 VSSOP-8 封装
 - 四通道电源版本采用 SOIC-14 和 TSSOP-14 封装

2 应用

- 桥接放大器
- 应变计
- 测试设备
- 电流分流测量
- 热电偶、热电堆
- 电子称
- 医疗仪器
- 电阻式温度检测器
- 精密有源滤波器

3 说明

OPAx388 (OPA388、OPA2388 和 OPA4388) 系列高精度运算放大器是超低噪声、快速稳定、零漂移、零交叉器件, 可实现轨到轨输入和输出运行。这些特性及优异交流性能与仅为 $0.25\mu\text{V}$ 的偏移电压以及 $0.005\mu\text{V}/^\circ\text{C}$ 的温度漂移相结合, 使 OPAx388 成为驱动高精度模数转换器 (ADC) 或缓冲高分辨率数模转换器 (DAC) 输出的理想选择。该设计可在驱动模数转换器 (ADC) 的过程中实现优异性能, 不会降低线性度。OPA388 (单通道版本) 提供 VSSOP-8、SOT23-5 和 SOIC-8 三种封装。OPA2388 (双通道版本) 提供 VSSOP-8 和 SO-8 两种封装。OPA4388 (四通道版本) 提供 TSSOP-14 和 SO-14 两种封装。上述所有版本在 -40°C 至 $+125^\circ\text{C}$ 扩展工业温度范围内额定运行。

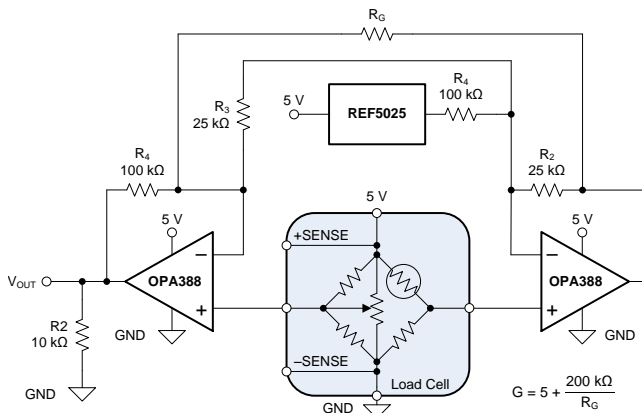
器件信息(1)

器件型号	封装	封装尺寸 (标称值)
OPA388	SOIC (8)	4.90mm x 3.90mm
	SOT-23 (5)	2.90mm x 1.60mm
	VSSOP (8)	3.00mm x 3.00mm
OPA2388	SOIC (8) ⁽²⁾	4.90mm x 3.90mm
	VSSOP (8)	3.00mm x 3.00mm
OPA4388	SOIC (14) ⁽²⁾	8.65mm x 3.90mm
	TSSOP (14) ⁽²⁾	5.00mm x 4.40mm

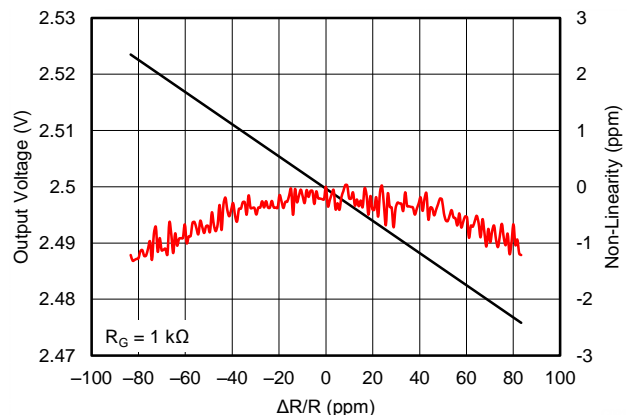
(1) 如需了解所有可用封装, 请参阅数据表末尾的封装选项附录。

(2) 封装仅为预览版。

OPA388 在高 CMRR 仪表放大器中的应用



OPA388 支持高精度、低误差测量



目录

1	特性	1	7.4	器件功能模式	19
2	应用	1	8	应用和实现	20
3	说明	1	8.1	应用信息	20
4	修订历史记录	2	8.2	典型应用	20
5	引脚配置和功能	3	9	电源建议	24
6	规格	5	10	布局	25
6.1	绝对最大额定值	5	10.1	布局指南	25
6.2	ESD 额定值	5	10.2	布局示例	25
6.3	建议运行条件	5	11	器件和文档支持	26
6.4	热性能信息: OPA388	6	11.1	器件支持	26
6.5	热性能信息: OPA2388	6	11.2	文档支持	26
6.6	电气特性: $V_S = \pm 1.25V$ 至 $\pm 2.75V$ ($V_S = 2.5V$ 至 $5.5V$)	7	11.3	相关链接	26
6.7	典型特性	9	11.4	接收文档更新通知	26
7	详细 说明	17	11.5	社区资源	26
7.1	概述	17	11.6	商标	27
7.2	功能框图	17	11.7	静电放电警告	27
7.3	特性 说明	17	11.8	术语表	27
			12	机械、封装和可订购信息	27

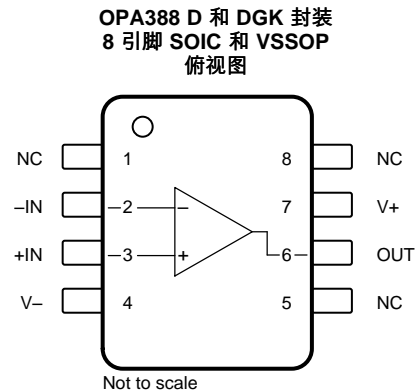
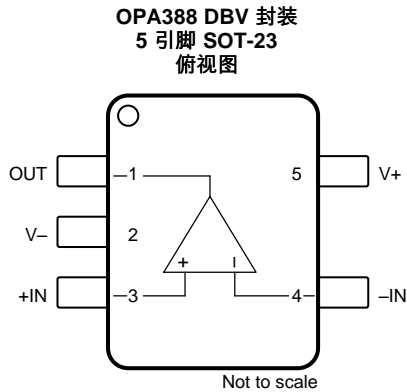
4 修订历史记录

注: 之前版本的页码可能与当前版本有所不同。

Changes from Revision A (July 2018) to Revision B	Page
• 已更改 将 OPA388 DBV (SOT-23) 封装从预览状态更改为生产数据	1
• 删除了 EC 表中的冗余温度规格。	8
• 已添加 图 6: OPA4388 的失调电压与电源电压间的关系	10
• 已添加 图 7: 失调电压长期漂移	11
• 已更改 图 50: OPA388 布局示例; 更新了准确性	25

Changes from Original (December 2016) to Revision A	Page
• 已更改 将器件状态从“生产数据”更改为“生产数据/混合状态”	1
• 已添加 TI 参考设计的顶部导航链接	1
• 已添加 器件信息 表中的 5 引脚 SOT-23 (OPA388)、8 引脚 SOIC (OPA2388)、14 引脚 SOIC 和 14 引脚 TSSOP (OPA4388) 封装的预览注意事项	1
• Added 在 引脚配置和功能 部分中添加封装预览注意事项	3
• AOL 测试条件从 0.1V 更改为 0.15V	7
• AOL 测试条件从 0.1V 更改为 0.15V	7
• AOL 测试条件从 0.2V 更改为 0.25V	7
• AOL 测试条件从 0.25V 更改为 0.3V	7

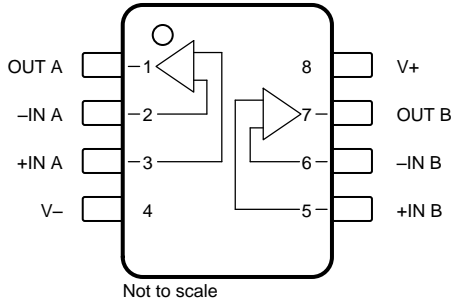
5 引脚配置和功能



引脚功能：OPA388

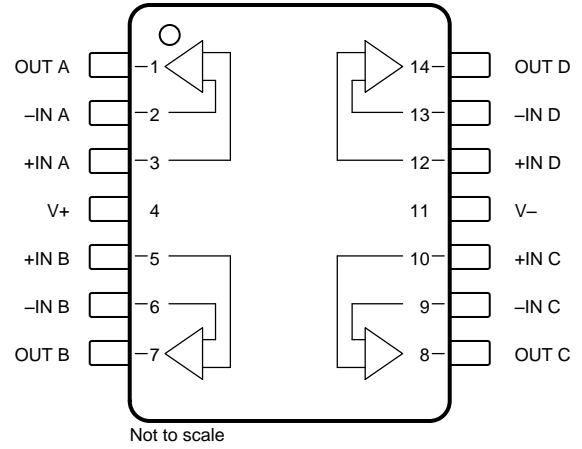
名称	引脚		I/O	说明
	OPA388			
	D (SOIC)、 DGK (VSSOP)	DBV (SOT-23)		
-IN	2	4	I	反相输入
+IN	3	3	I	同相输入
NC	1、5、8	—	—	没有与内部电路连接 (可以悬空)
OUT	6	1	O	输出
V-	4	2	—	负电源 (最低)
V+	7	5	—	正电源 (最高)

OPA2388 D⁽¹⁾ 和 DGK 封装
8 引脚 SOIC 和 VSSOP
俯视图



(1) 封装仅为预览版。

OPA4388 D⁽¹⁾ 和 PW⁽¹⁾ 封装
14 引脚 SOIC 和 TSSOP
俯视图



(1) 封装仅为预览版。

引脚功能：OPA2388 和 OPA4388

名称	引脚		I/O	说明
	OPA2388 D (SOIC) ⁽¹⁾ 、 DGK (VSSOP)	OPA4388 D (SOIC) ⁽¹⁾ 、 PW (TSSOP) ⁽¹⁾		
-IN A	2	2	I	反相输入，通道 A
-IN B	6	6	I	反相输入，通道 B
-IN C	—	9	I	反相输入，通道 C
-IN D	—	13	I	反相输入，通道 D
+IN A	3	3	I	同相输入，通道 A
+IN B	5	5	I	同相输入，通道 B
+IN C	—	10	I	同相输入，通道 C
+IN D	—	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	—	8	O	输出，通道 C
OUT D	—	14	O	输出，通道 D
V-	4	11	—	负电源（最低）
V+	8	4	—	正电源（最高）

(1) 封装仅为预览版。

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	$V_S = (V+) - (V-)$	单电源	6	V
		双电源	±3	
信号输入引脚	电压	共模	(V-) - 0.5 (V+) + 0.5	V
		差分	(V+) - (V-) + 0.2	
	电流		±10	mA
输出短路 ⁽²⁾		持续	持续	
温度	温度, T_A	-55	150	°C
	结温, T_J		150	
	贮存温度, T_{stg}	-65	150	

(1) 应力超出绝对最大额定值下列出的值有可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±4000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
电源电压, $V_S = (V+) - (V-)$	单电源	2.5		5.5	V
	双电源	±1.25		±2.75	
额定温度范围		-40		125	°C

6.4 热性能信息：OPA388

热指标 ⁽¹⁾		OPA388			单位
		DBV (SOT-23)	D (SOIC)	DGK (VSSOP)	
		5 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	145.7	116	177	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	94.8	60	69	°C/W
$R_{\theta JB}$	结至电路板热阻	43.4	56	100	°C/W
Ψ_{JT}	结至顶部特征参数	24.7	12.8	9.9	°C/W
Ψ_{JB}	结至电路板特征参数	43.1	55.9	98.3	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.5 热性能信息：OPA2388

热指标 ⁽¹⁾		OPA2388	单位
		DGK (VSSOP)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	165	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	53	°C/W
$R_{\theta JB}$	结至电路板热阻	87	°C/W
Ψ_{JT}	结至顶部特征参数	4.9	°C/W
Ψ_{JB}	结至电路板特征参数	85	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用报告《[半导体和 IC 封装热指标](#)》。

6.6 电气特性：V_S = ±1.25V 至 ±2.75V (V_S = 2.5V 至 5.5V)

 T_A = 25°C, V_{CM} = V_{OUT} = V_S/2, 且 R_{LOAD} = 10kΩ 连接至 V_S/2 (除非另外说明)

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V _{OS}	输入失调电压			±0.25		±5	μV
		T _A = -40°C 至 +125°C				±7.5	μV
dV _{OS} /dT	输入失调电压漂移	T _A = -40°C 至 +125°C		±0.005		±0.05	μV/°C
PSRR	电源抑制比	T _A = -40°C 至 +125°C		±0.1		±1	μV/V
输入偏置电流							
I _B	输入偏置电流	R _{IN} = 100kΩ		±30		±350	pA
		R _{IN} = 100kΩ	T _A = 0°C 至 +85°C			±400	
		R _{IN} = 100kΩ	T _A = -40°C 至 +125°C			±700	
I _{OS}	输入失调电流	R _{IN} = 100kΩ				±700	pA
		R _{IN} = 100kΩ	T _A = 0°C 至 +85°C			±800	
		R _{IN} = 100kΩ	T _A = -40°C 至 +125°C			±800	
噪声							
E _N	输入电压噪声	f = 0.1Hz 至 10Hz			0.14		μV _{PP}
e _N	输入电压噪声密度	f = 10Hz			7		nV/√Hz
		f = 100Hz			7		nV/√Hz
		f = 1kHz			7		nV/√Hz
		f = 10kHz			7		nV/√Hz
I _N	输入电流噪声密度	f = 1kHz			100		fA/rtHz
输入电压							
V _{CM}	共模电压范围			(V-) - 0.1		(V+) + 0.1	V
CMRR	共模抑制比	(V-) - 0.1V < V _{CM} < (V+) + 0.1V	V _S = ±1.25V	124	138		dB
			V _S = ±2.75V	124	140		
		(V-) < V _{CM} < (V+) + 0.1V, T _A = -40°C 至 +125°C	V _S = ±1.25V	114	134		
			V _S = ±2.75V	124	140		
输入阻抗							
Z _{id}	差分输入阻抗			100 2			MΩ pF
Z _{ic}	共模输入阻抗			60 4.5			TΩ pF
开环增益							
A _{OL}	开环电压增益	(V-) + 0.15V < V _O < (V+) - 0.15V, R _{LOAD} = 10kΩ		126	148		dB
		(V-) + 0.15V < V _O < (V+) - 0.15V, R _{LOAD} = 10kΩ, T _A = -40°C 至 +125°C		120	126		
		(V-) + 0.25V < V _O < (V+) - 0.25V, R _{LOAD} = 2kΩ		126	148		
		(V-) + 0.30V < V _O < (V+) - 0.30V, R _{LOAD} = 2kΩ, T _A = -40°C 至 +125°C		120	126		
频率响应							
GBW	单位增益带宽				10		MHz
SR	压摆率	G = +1, 4V 阶跃			5		V/μs
THD+N	总谐波失真 + 噪声	G = 1, f = 1kHz, V _O = 1V _{RMS}			0.0005%		
t _S	建立时间	达 0.1%	V _S = ±2.5V, G = +1, 1V 阶跃		0.75		μs
		达 0.01%	V _S = ±2.5V, G = +1, 1V 阶跃		2		μs
t _{OR}	过载恢复时间	V _{IN} × G = V _S			10		μs

电气特性 : $V_S = \pm 1.25V$ 至 $\pm 2.75V$ ($V_S = 2.5V$ 至 $5.5V$) (continued)
 $T_A = 25^\circ C$, $V_{CM} = V_{OUT} = V_S/2$, 且 $R_{LOAD} = 10k\Omega$ 连接至 $V_S/2$ (除非另外说明)

参数		测试条件		最小值	典型值	最大值	单位
输出							
V_O	自电源轨的电压输出摆幅	正电源轨	无负载		1	15	mV
			$R_{LOAD} = 10k\Omega$		5	20	
			$R_{LOAD} = 2k\Omega$		20	50	
		负电源轨	无负载		5	15	
			$R_{LOAD} = 10k\Omega$		10	20	
			$R_{LOAD} = 2k\Omega$		40	60	
$T_A = -40^\circ C$ 至 $+125^\circ C$, 两个轨, $R_{LOAD} = 10k\Omega$			10	25			
I_{SC}	短路电流	$V_S = 5.5V$			± 60		mA
		$V_S = 2.5V$			± 30		mA
C_{LOAD}	容性负载驱动	请参阅过冲与容性负载间的关系					
Z_O	开环输出阻抗	$f=1MHz$, $I_O = 0A$, 请参阅输出阻抗			100		Ω
电源							
I_Q	每个放大器的静态电流	$V_S = \pm 1.25V$ ($V_S = 2.5V$)	$I_O = 0A$		1.7	2.4	mA
			$T_A = -40^\circ C$ 至 $+125^\circ C$, $I_O = 0A$		1.7	2.4	
		$V_S = \pm 2.75V$ ($V_S = 5.5V$)	$I_O = 0A$		1.9	2.6	
			$T_A = -40^\circ C$ 至 $+125^\circ C$, $I_O = 0A$		1.9	2.6	

6.7 典型特性

表 1. 图形表

说明	图表
失调电压产生分布图	图 1
失调电压漂移分布图 (-40°C 至 +125°C)	图 2
失调电压与温度间的关系	图 3
失调电压与共模电压间的关系	图 4
失调电压与电源间的关系, OPA388 和 OPA2388	图 5
失调电压与电源间的关系, OPA4388	图 6
失调电压长期漂移	图 7
开环增益和相位与频率间的关系	图 8
闭环增益和相位与频率间的关系	图 9
输入偏置电流与共模电压间的关系	图 10
输入偏置电流与温度间的关系	图 11
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 12
CMRR 和 PSRR 与频率间的关系	图 13
CMRR 与温度间的关系	图 14
PSRR 与温度间的关系	图 15
0.1Hz 至 10Hz 噪声	图 16
输入电压噪声频谱密度与频率间的关系	图 17
THD+N 比与频率间的关系	图 18
THD+N 与输出振幅间的关系	图 19
频谱含量	图 20, 图 21
静态电流与电源电压间的关系	图 22
静态电流与温度间的关系	图 23
开环增益与温度间的关系	图 24
开环输出阻抗与频率间的关系	图 25
小信号过冲与容性负载间的关系 (10mV 阶跃)	图 26
无相位反转	图 27
正过载恢复	图 28
负过载恢复	图 29
小信号阶跃响应 (10mV 阶跃)	图 30, 图 31
大信号阶跃响应 (4V 阶跃)	图 32, 图 33
建立时间	图 34、图 35
短路电流与温度间的关系	图 36
最大输出电压与频率间的关系	图 37
EMIRR 与频率间的关系	图 38

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

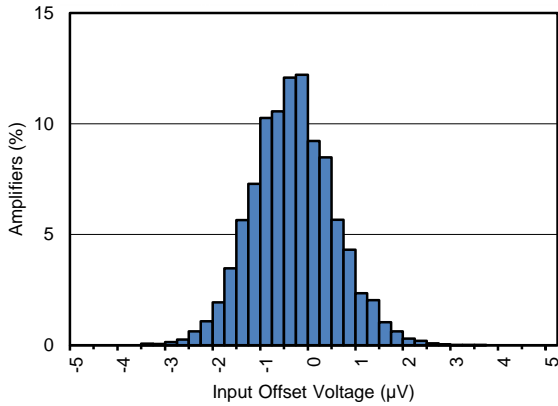


图 1. 失调电压产生分布图

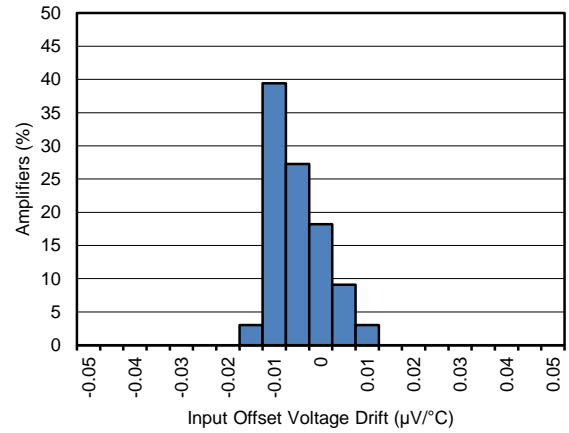


图 2. 失调电压漂移分布图 (-40°C 至 +125°C)

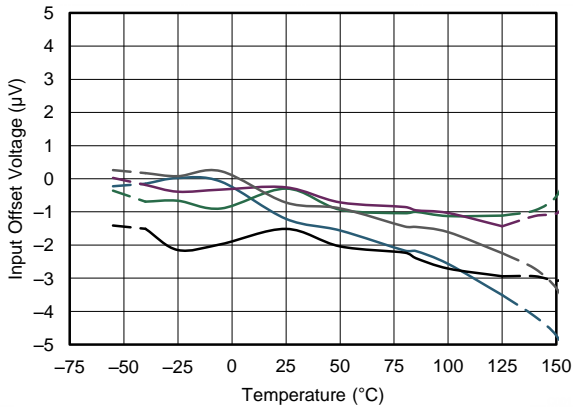


图 3. 失调电压与温度间的关系

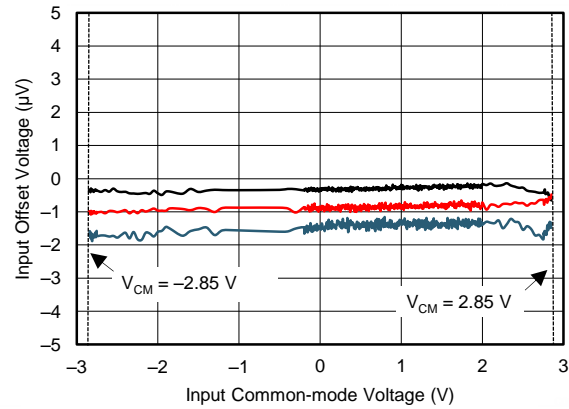


图 4. 失调电压与共模电压间的关系

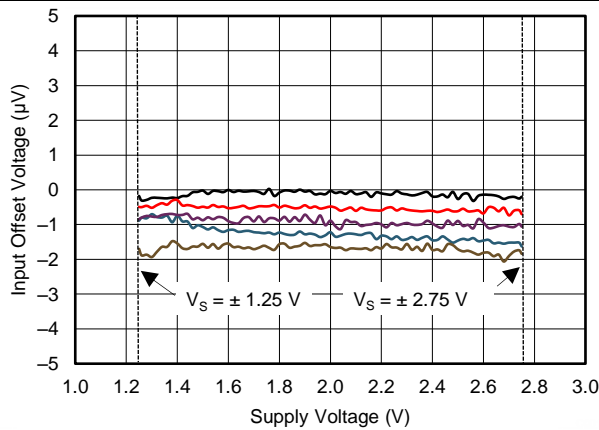


图 5. 失调电压与电源电压间的关系, OPA388 和 OPA2388

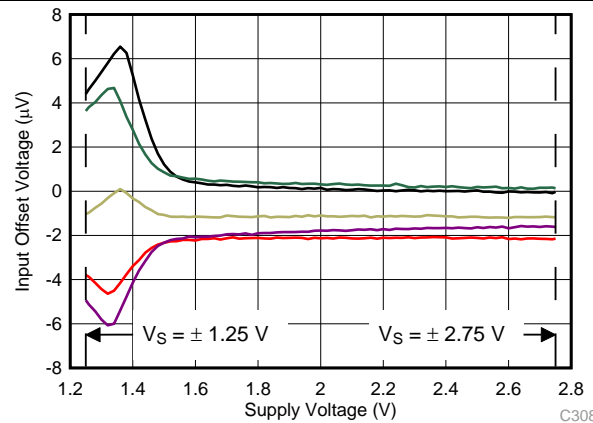


图 6. 失调电压与电源电压间的关系, OPA4388

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

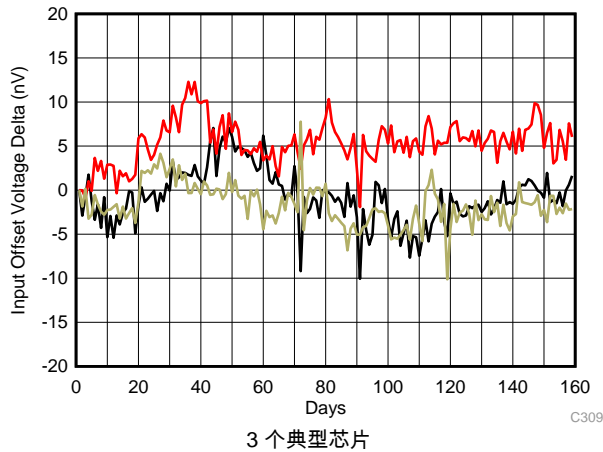


图 7. 失调电压长期漂移

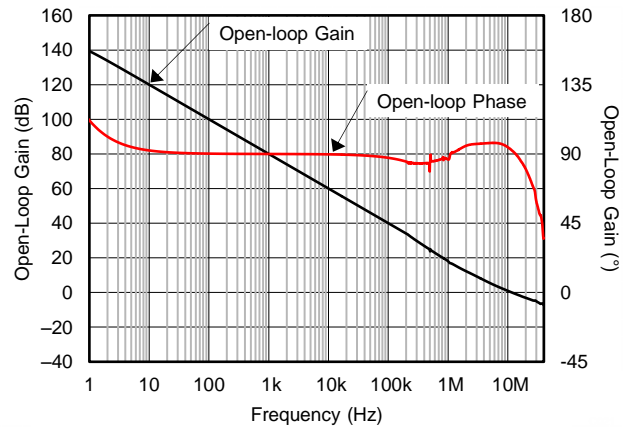


图 8. 开环增益和相位与频率间的关系

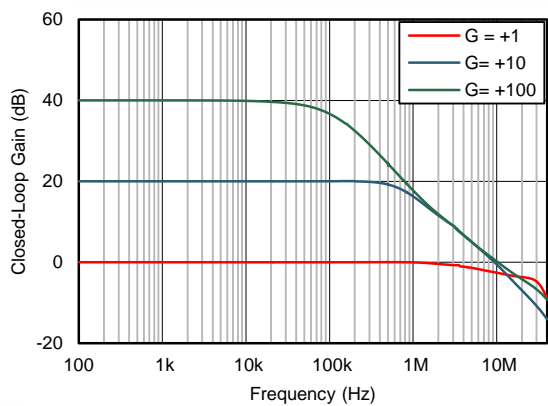


图 9. 闭环增益和相位与频率间的关系

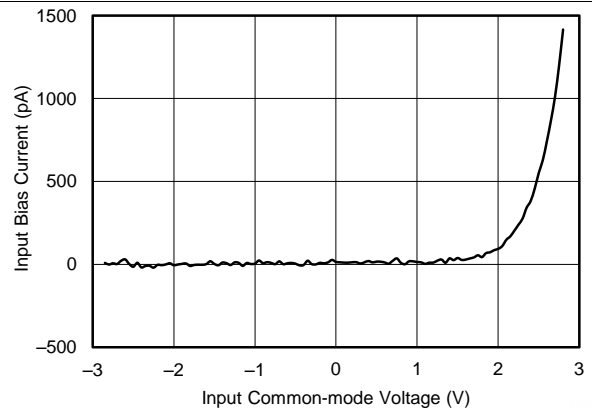


图 10. 输入偏置电流与共模电压间的关系

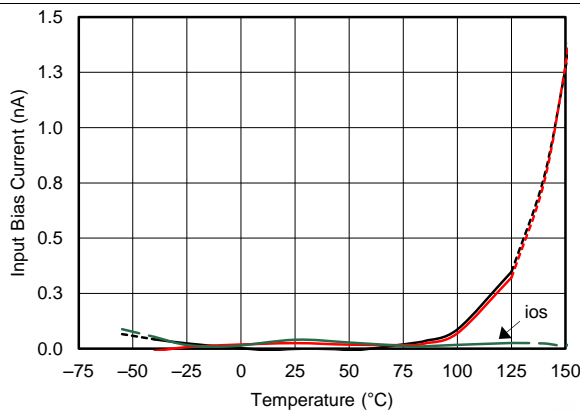


图 11. 输入偏置电流与温度间的关系

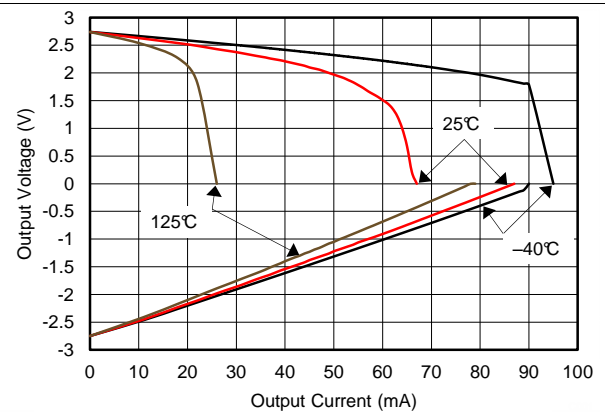


图 12. 输出电压摆幅与输出电流间的关系 (最大电源电压)

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

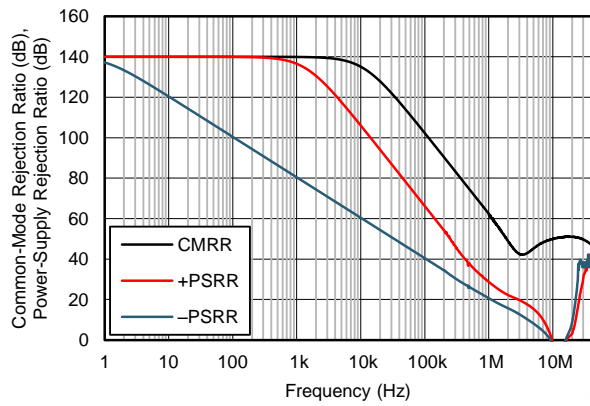


图 13. CMRR 和 PSRR 与频率间的关系

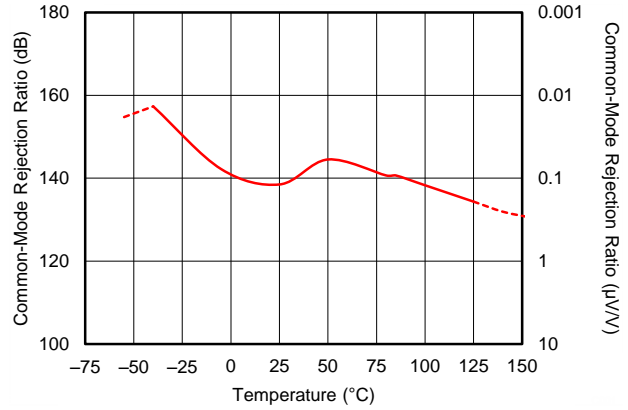


图 14. CMRR 与温度间的关系

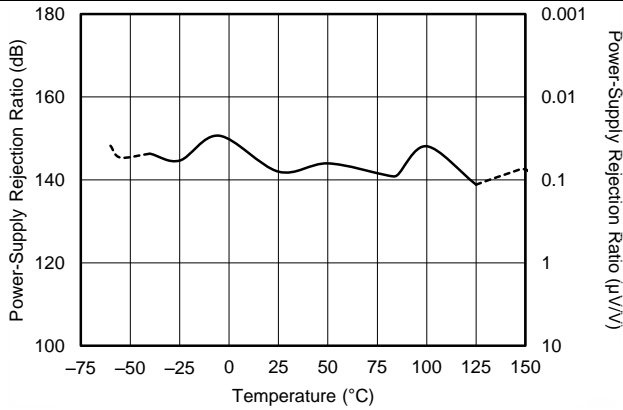


图 15. PSRR 与温度间的关系

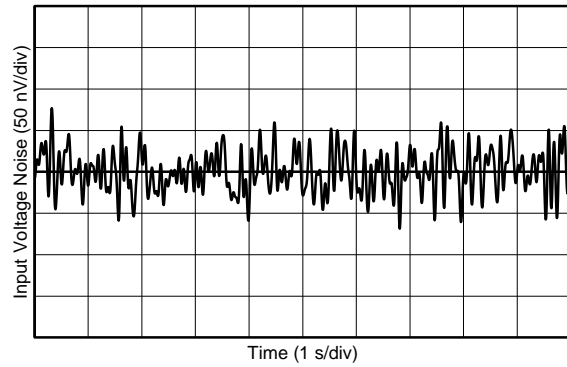


图 16. 0.1Hz 至 10Hz 噪声

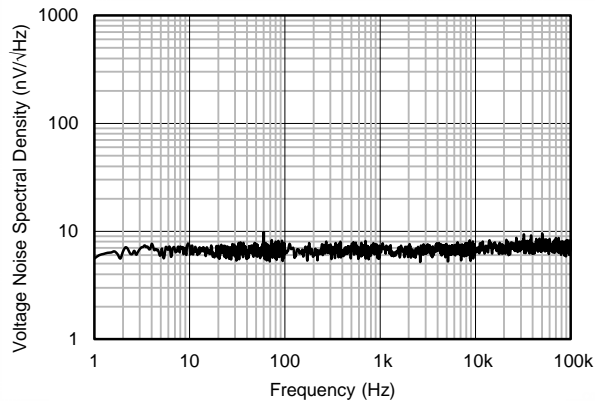


图 17. 输入电压噪声频谱密度与频率间的关系

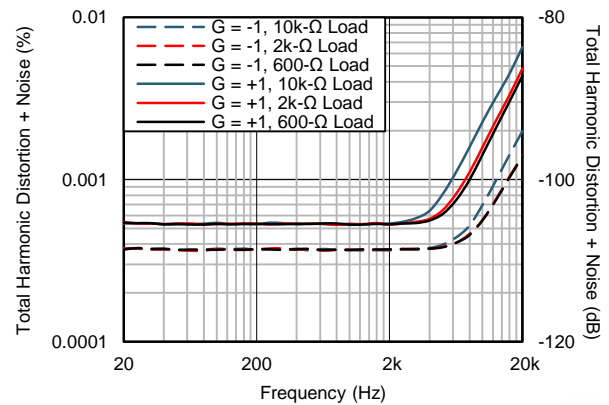


图 18. THD+N 比与频率间的关系

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

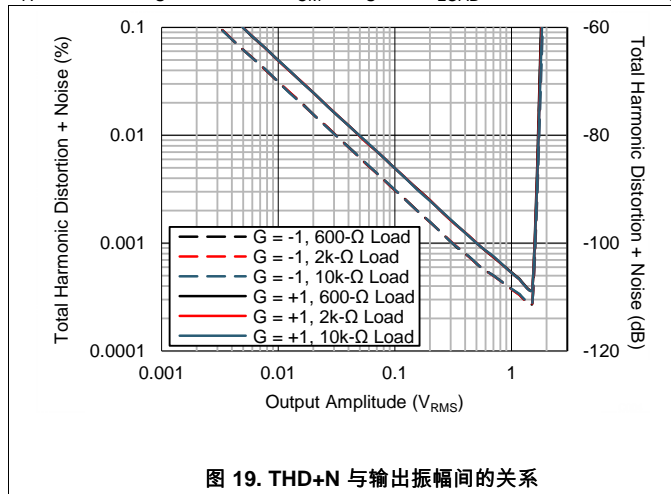


图 19. THD+N 与输出振幅间的关系

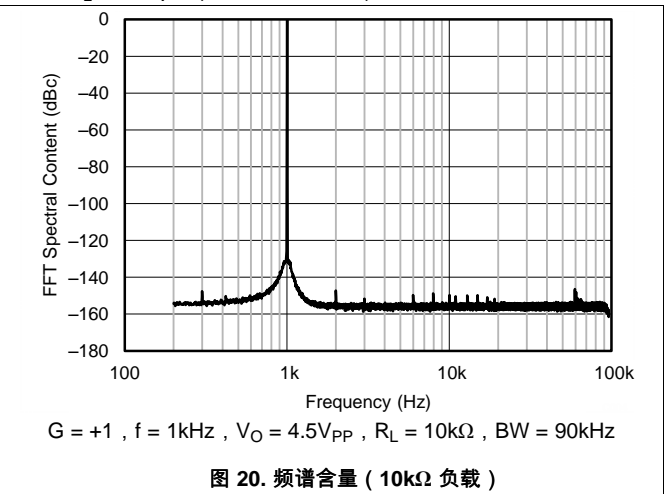


图 20. 频谱含量 (10kΩ 负载)

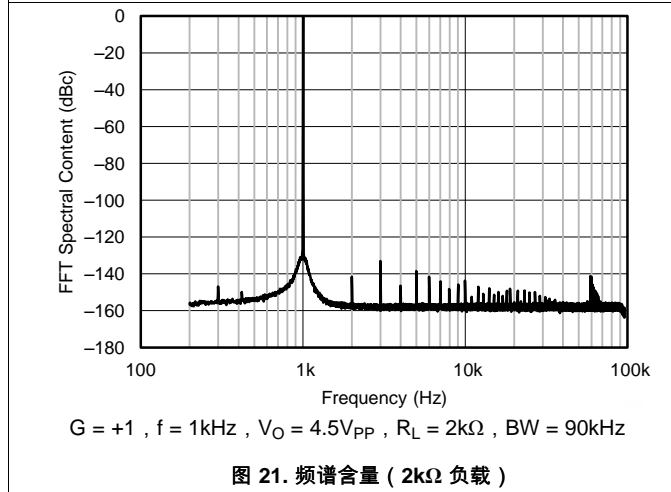


图 21. 频谱含量 (2kΩ 负载)

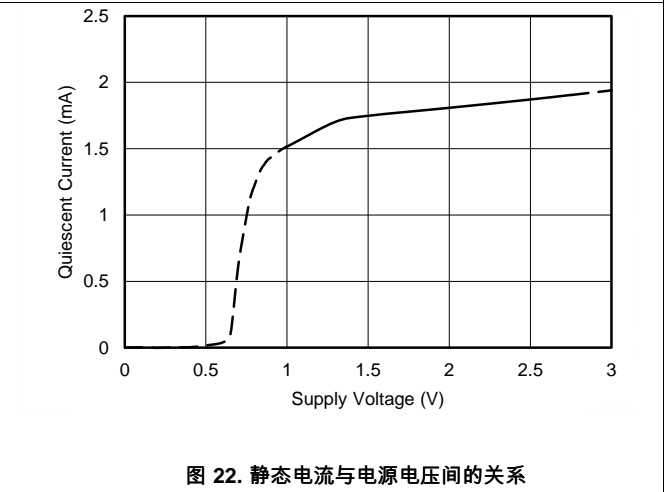


图 22. 静态电流与电源电压间的关系

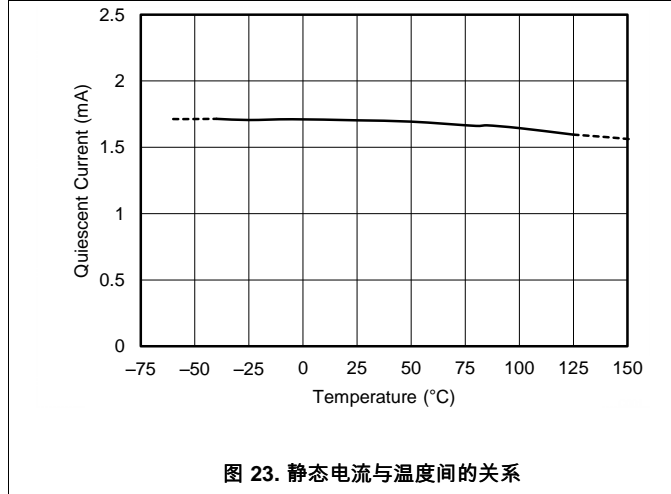


图 23. 静态电流与温度间的关系

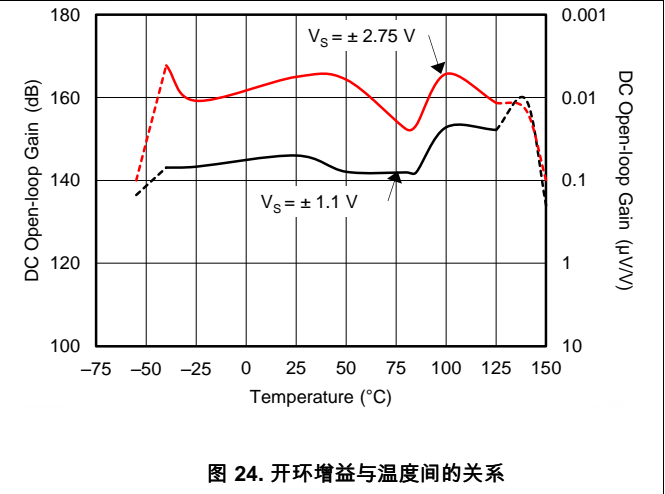


图 24. 开环增益与温度间的关系

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

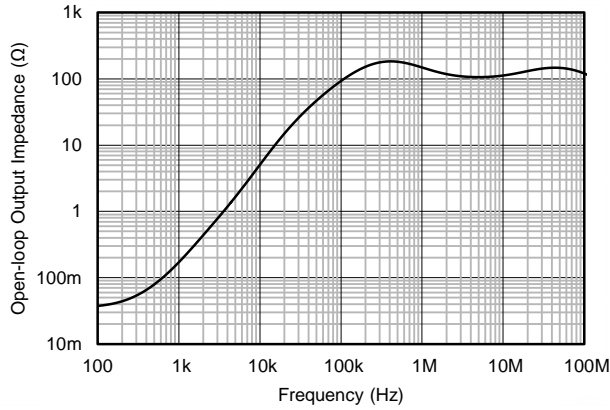


图 25. 开环输出阻抗与频率间的关系

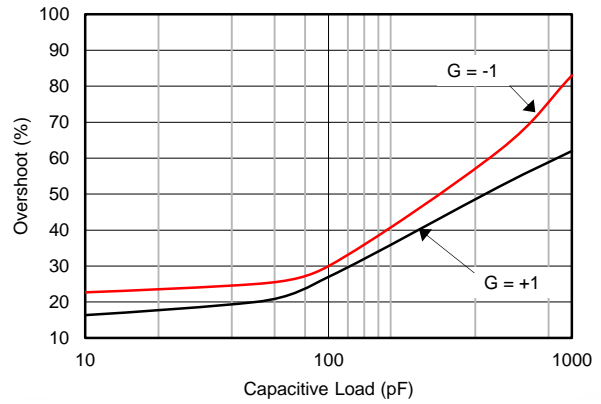


图 26. 小信号过冲与容性负载间的关系 (10mV 阶跃)

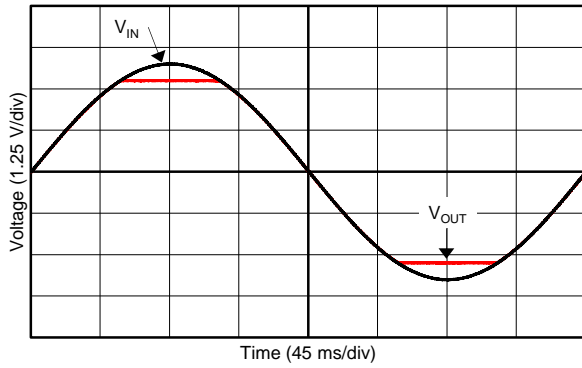


图 27. 无相位反转

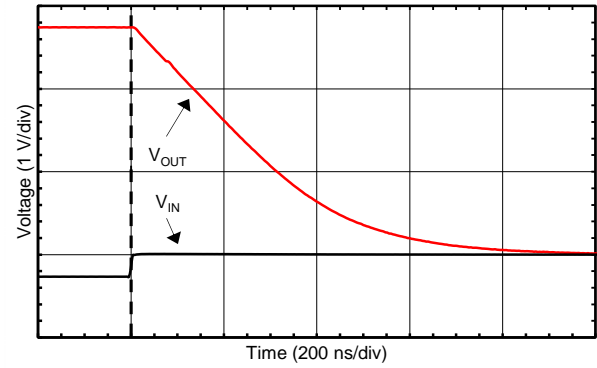


图 28. 正过载恢复

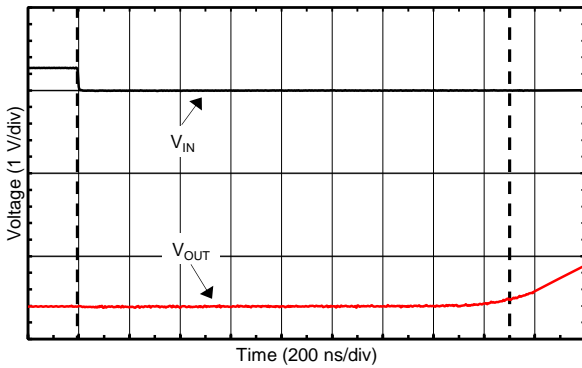
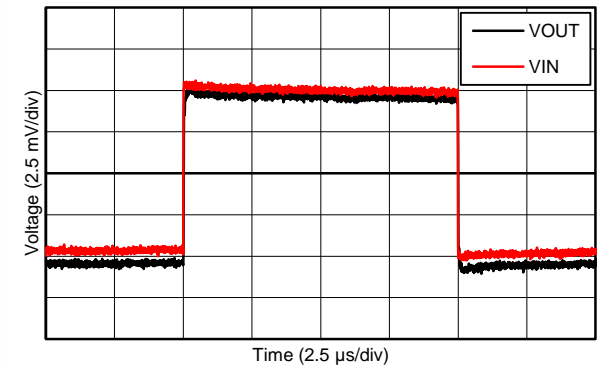


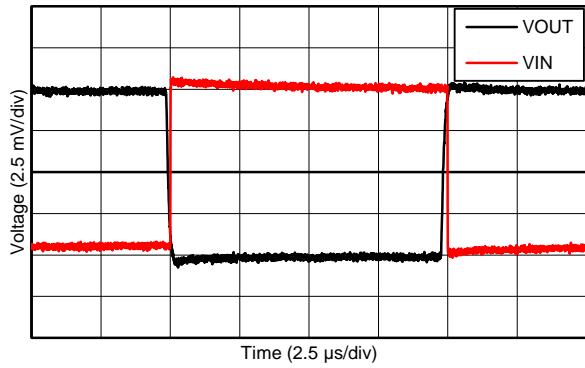
图 29. 负过载恢复



G = +1

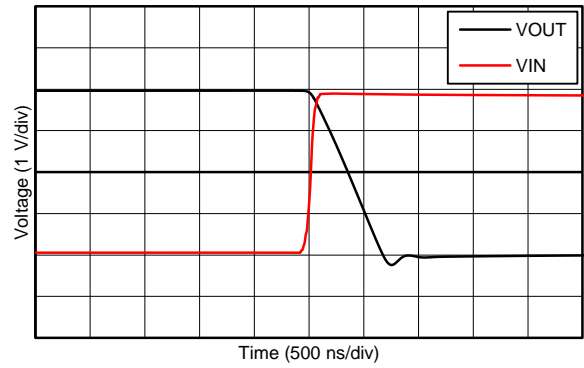
图 30. 小信号阶跃响应 (10mV 阶跃)

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)



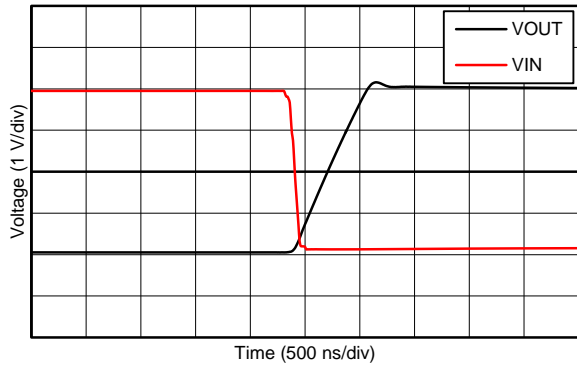
$G = -1$

图 31. 小信号阶跃响应 (10mV 阶跃)



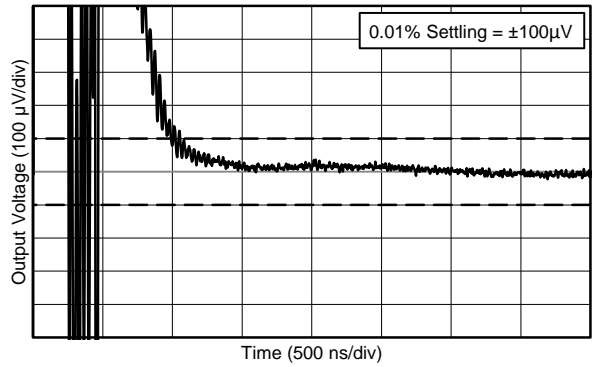
下降输出

图 32. 大信号阶跃响应 (4V 阶跃)



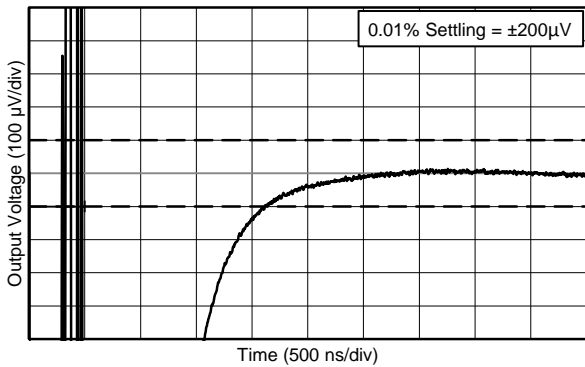
上升输出

图 33. 大信号阶跃响应 (4V 阶跃)



稳定到 0.01% = $\pm 100\mu\text{V}$

图 34. 建立时间 (1V 正阶跃)



稳定到 0.01% = $\pm 200\mu\text{V}$

图 35. 建立时间 (1V 负阶跃)

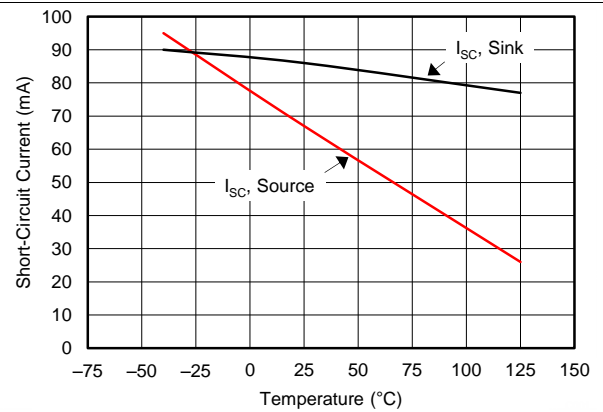


图 36. 短路电流与温度间的关系

$T_A = 25^\circ\text{C}$, $V_S = \pm 2.5\text{V}$, $V_{CM} = V_S/2$, $R_{LOAD} = 10\text{k}\Omega$ 连接至 $V_S/2$, 且 $C_L = 100\text{pF}$ (除非另外说明)

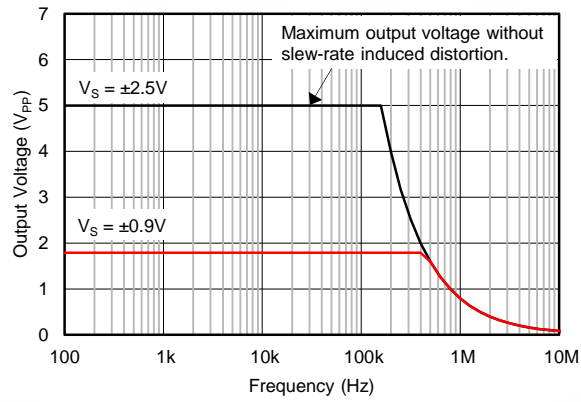


图 37. 最大输出电压与频率间的关系

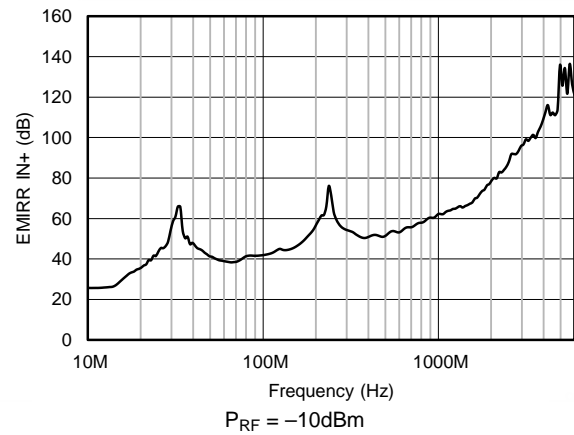


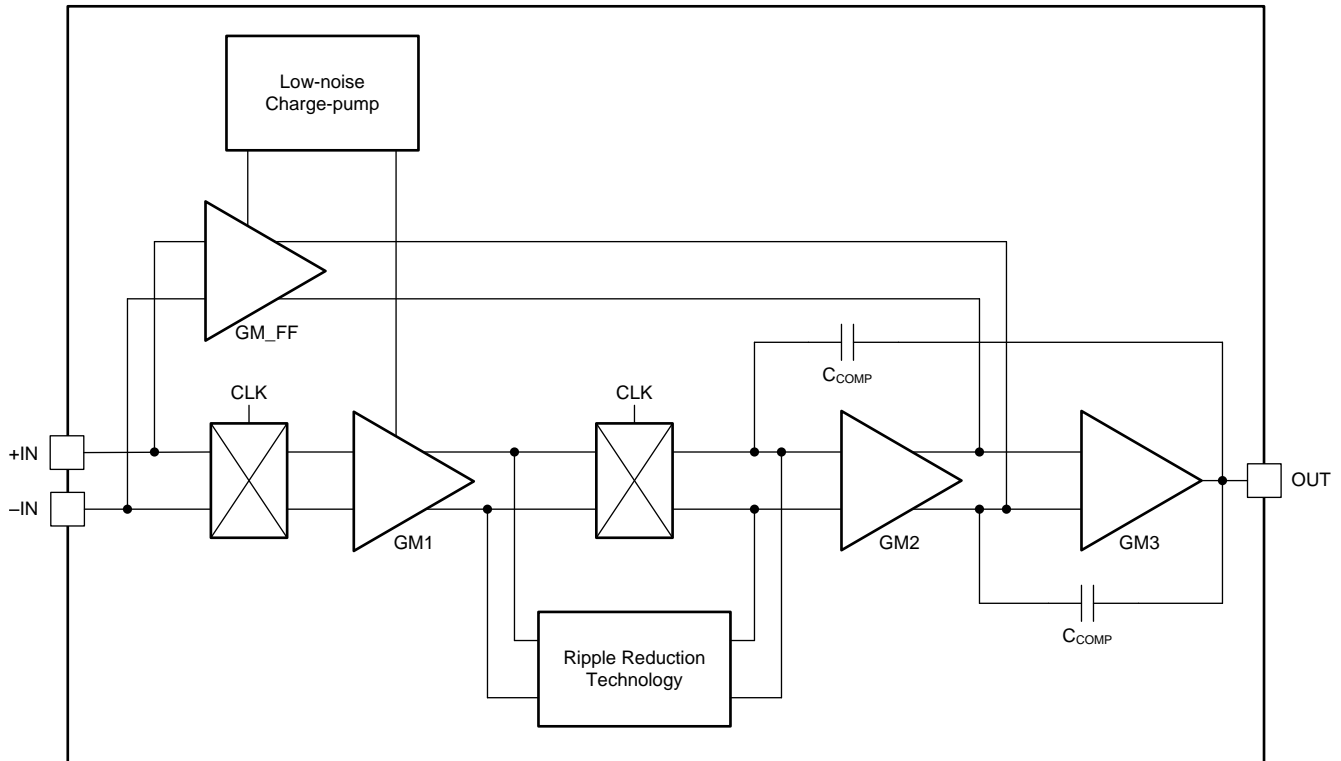
图 38. EMIRR 与频率间的关系

7 详细 说明

7.1 概述

OPA_x388 系列零漂移放大器采用专有精密自动校准技术搭配低噪声、低纹波的输入电荷泵的独特组合进行设计。放大器提供超低输入失调电压和漂移，实现出色的输入和输出动态线性性能。OPA_x388 在 2.5V 至 5.5V 电压下工作，具有单位增益稳定特性，适用于各种通用和精密 应用。集成式低噪声电荷泵实现真正的轨至轨输入共模运行，不会出现互补轨至轨输入拓扑引起的失真（输入交越失真）。OPA_x388 的增强功能还包括 10MHz 带宽、7nV/√Hz 噪声频谱密度，无 1/f 噪声，是连接传感器模块和缓冲高保真数模转换器 (DAC) 的最优选择。

7.2 功能框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作电压

OPA_x388 系列运算放大器可使用单电源或双电源，工作范围为 $V_S = 2.5V (\pm 1.25V)$ 至 $5.5V (\pm 2.75V)$ 。电源电压大于 7V 可能会对器件造成永久损坏（请参阅 **绝对最大额定值**）。**典型特性**部分显示了随电源电压或温度范围而变化的主要参数。

7.3.2 输入电压和零交叉功能

OPA_x388 输入共模电压范围在电源轨基础上向外扩展了 0.1V。该放大器系列专为支持全范围而设计，而且不设麻烦的转换区域，这往往是某些其他轨至轨放大器的通病。通过横穿转换区域的信号使互补轨至轨输入放大器运行会导致不必要的非线性行为和频谱内容被污染。图 39 和图 40 比较了传统互补轨至轨输入级放大器与零交叉 OPA_x388 之间的性能。在差分对转换（这种转换在 OPA_x388 中不存在）期间产生显著的谐波含量和失真。使用单差分对与内部低噪声电荷泵耦合消除了交越失真。OPA_x388 在整个输入共模范围内保持噪声、带宽和失调电压性能，通过减少电源轨，降低了印刷电路板 (PCB) 和物料清单 (BOM) 的复杂性。

特性说明 (接下页)

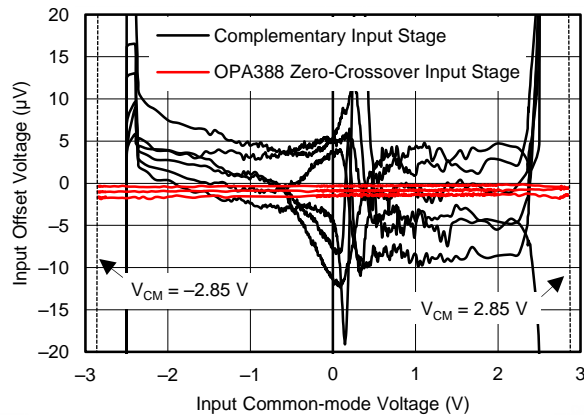


图 39. 输入交越失真非线性

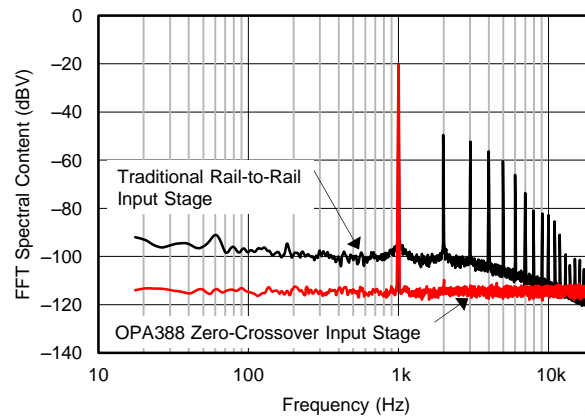


图 40. 输入交越失真频谱含量

特性说明 (接下页)

通常情况下，输入偏置电流大概为 $\pm 30\text{pA}$ 。但是，输入电压超出电源电压可能导致过多的电流流入或流出输入引脚。如果输入电流不超过 10mA ，则系统可以承受超过电源电压的瞬时电压。可通过输入电阻器轻松实现此限制，如图 41 中所示。

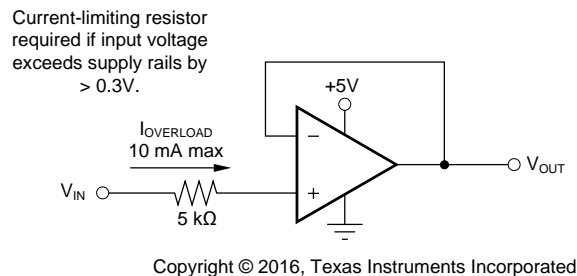


图 41. 输入电流保护

7.3.3 输入差分电压

OPAx388 在正常运行期间的典型输入偏置电流约为 30pA 。在过载条件下，偏置电流可能大幅增加。当运算放大器超出线性运行范围时，最有可能出现过载。当运算放大器的输出被驱动至其中一个电源轨时，将无法反馈环路的要求，然后各输入引脚会出现差分输入电压。此差分输入电压会激活前端输入斩波开关内的寄生二极管，该器件可与 $10\text{k}\Omega$ 电磁干扰 (EMI) 滤波电阻器结合形成的等效电路，如图 42 所示。请注意，输入偏置电流仍保持在线性区域的规格范围内。

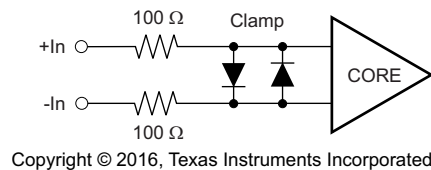


图 42. 等效输入电路

7.3.4 内部失调电压校正

OPA388 系列运算放大器利用信号路径中的时间连续性 200kHz 运算放大器，实现自动校准技术。此类放大器每 $5\mu\text{s}$ 通过专有技术进行一次零点校正。启动后，放大器需要约 1ms 来达到额定的 V_{OS} 精度。此设计没有混叠或闪烁噪声。

7.3.5 EMI 敏感性和输入滤波

不同的运算放大器对于 EMI 的易感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中的直流偏移值在有 EMI 时可能偏离其标称值。这个偏离是由于内部半导体结相关的信号校正引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是输入引脚可能是最易受影响的。OPAx388 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。此输入滤波器提供共模和差模滤波。此滤波器支持大约 20MHz (-3dB) 的截止频率，具有每十倍频 20dB 的下降率。

7.4 器件功能模式

OPA388 具有单一功能模式，可在电源电压大于 2.5V ($\pm 1.25\text{V}$) 时工作。OPAx388 的最大额定电源电压为 5.5V ($\pm 2.75\text{V}$)。

8 应用和实现

注

以下 应用 部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx388 是单位增益稳定的精密运算放大器，并且不会出现意外输出和相位反转。采用了专有零漂移电路，可随时间推移和温度变化实现低输入失调电压，并降低 $1/f$ 噪声分量。凭借高 PSRR，这些器件能够在直接依靠电池电源运行的应用中正常运行，而无需调节。OPAx388 系列针对全轨至轨输入进行了优化，实现低电压单电源运行或双电源用途。在正常测试条件下，这些高精度、低噪声微型放大器可提供高阻抗输入（共模范围在电源基础上向外扩展了 100mV，并且不产生输入交越失真）和轨至轨输出（摆幅在电源上下 5mV 以内）。OPAx388 系列精密放大器适用于低增益或高增益的上游模拟信号链应用以及下游信号链功能，如 DAC 缓冲。

8.2 典型应用

8.2.1 双向电流检测

此单电源低侧双向电流检测解决方案可检测到从 $-1A$ 到 $+1A$ 的负载电流。单端输出范围从 110mV 到 3.19V。该设计使用的是 OPAx388，这考虑的是它的低失调电压和出色的轨至轨输入和输出。其中一个放大器配置为差分放大器，另一个放大器提供基准电压。

图 43 显示了解决方案。

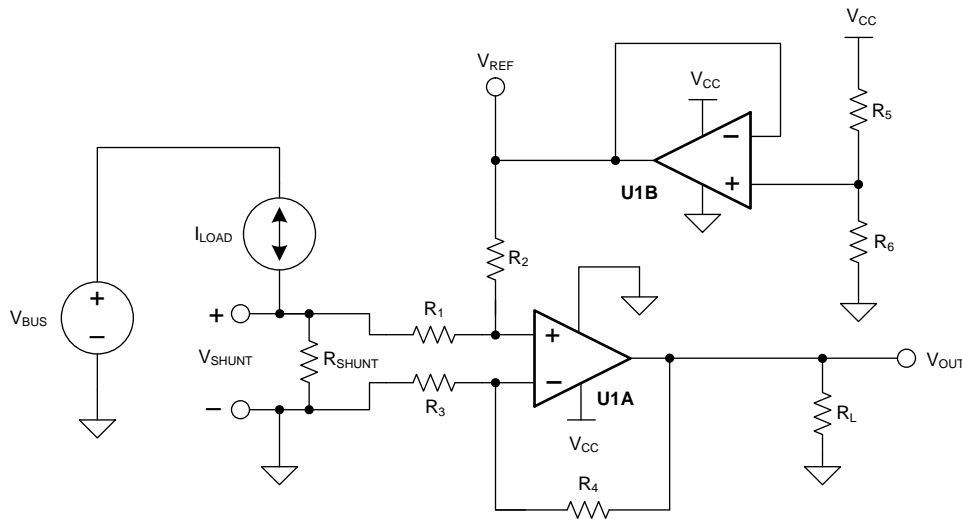


图 43. 双向电流感应原理图

典型应用 (接下一页)

8.2.1.1 设计要求

此解决方案的要求如下：

- 电源电压：3.3V
- 输入：-1A 至 1A
- 输出：1.65V ±1.54V (110mV 至 3.19V)

8.2.1.2 详细设计流程

负载电流， I_{LOAD} ，流经分流电阻器 (R_{SHUNT})，产生分流电压 V_{SHUNT} 。然后由 U1A 和 R_1 至 R_4 构成的差分放大器放大分流电压。差分放大器的增益通过 R_4 与 R_3 之比设定。为了最大程度地减少误差，设置 $R_2 = R_4$ 且 $R_1 = R_3$ 。基准电压 V_{REF} 通过使用 U1B 缓冲电阻分压器的方式提供。传递函数由 [公式 1](#) 确定。

$$V_{OUT} = V_{SHUNT} \times \text{Gain}_{\text{Diff_Amp}} + V_{REF}$$

其中

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
 - $\text{Gain}_{\text{Diff_Amp}} = \frac{R_4}{R_3}$
 - $V_{REF} = V_{CC} \times \left[\frac{R_6}{R_5 + R_6} \right]$
- (1)

该设计中存在两种误差类型：失调电压和增益。增益误差是由分流电阻器的容差和 R_4 与 R_3 之比，以及类似的 R_2 与 R_1 之比造成的。失调电压误差是由分压器 (R_5 和 R_6) 以及 R_4 / R_3 之比与 R_2 / R_1 之比之间的接近程度而造成的。 R_2/R_1 之比影响差分放大器的 CMRR，最终导致了失调电压误差。

V_{SHUNT} 是低侧测量值，因此 V_{SHUNT} 的值是系统负载的接地电势。所以，必须对 V_{SHUNT} 使用最大值。在此设计中， V_{SHUNT} 的最大值设置为 100mV。[公式 2](#) 计算分流电阻器的最大值，假设最大分流电压为 100mV，最大负载电流为 1A。

$$R_{SHUNT(\text{Max})} = \frac{V_{SHUNT(\text{Max})}}{I_{LOAD(\text{Max})}} = \frac{100 \text{ mV}}{1 \text{ A}} = 100 \text{ m}\Omega$$
(2)

R_{SHUNT} 的容差与成本成正比。在此设计中，选择容差为 0.5% 的分流电阻器。如果需要更高的精度，则选择容差为 0.1% 或更高精度的电阻器。

由于负载电流是双向电流，因此分流电压范围为 -100mV 至 100mV。此电压在到达运算放大器 U1A 前，由 R_1 和 R_2 分压。请务必确保 U1A 同相节点处的电压在器件的共模范围内。所以，使用共模范围扩展到低于负电源电压的运算放大器 (如 OPA388) 非常重要。最后，为了最大限度地减少失调电压误差，需要注意 OPA388 的典型失调电压仅有 ±0.25μV (最大值 ±5μV)。

假设对称负载电流为 -1A 至 1A，分压电阻器 (R_5 和 R_6) 必须相等。为了与分流电阻器保持一致，必须选择 0.5% 的容差。为了最大程度地降低功耗，使用了 10kΩ 电阻器。

要设置差分放大器的增益，必须考虑 OPA388 的共模范围和输出摆幅。[公式 3](#) 和 [公式 4](#) 分别显示了 OPA388 的典型共模范围和最大输出摆幅 (假设使用 3.3V 电源)。

$$-100\text{mV} < V_{CM} < 3.4\text{V}$$
(3)

$$100\text{mV} < V_{OUT} < 3.2\text{V}$$
(4)

现在可通过[公式 5](#) 中所示的公式计算差分放大器的增益。

$$\text{Gain}_{\text{Diff_Amp}} = \frac{V_{OUT_Max} - V_{OUT_Min}}{R_{SHUNT} \times (I_{MAX} - I_{MIN})} = \frac{3.2 \text{ V} - 100 \text{ mV}}{100 \text{ m}\Omega \times [1 \text{ A} - (-1 \text{ A})]} = 15.5 \frac{\text{V}}{\text{V}}$$
(5)

R_1 和 R_3 的电阻值选定为 1kΩ。 R_2 和 R_4 的电阻值选定为 15.4kΩ，因为该值最接近标准值。所以，差分放大器的理想增益是 15.4V/V。

电路的增益误差主要取决于 R_1 至 R_4 ，因此选择了容差为 0.1% 的电阻器。该配置降低了设计中需要两点校准的可能性。如有需要，简单的一点校准可消除 0.5% 电阻器产生的失调电压误差。

典型应用 (接下页)

8.2.1.3 应用曲线

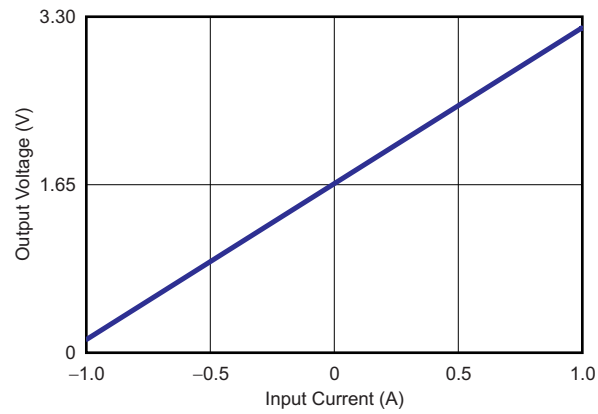
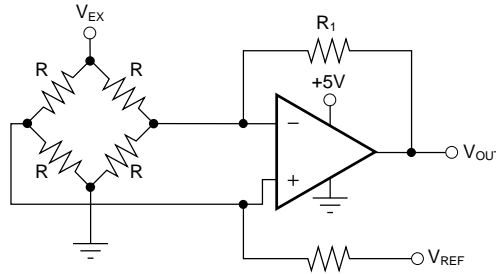


图 44. 双向电流感应电路性能：
输出电压与输入电流间的关系

典型应用 (接下页)

8.2.2 单通道运算放大器桥式放大器

图 45 显示了桥式放大器的基本配置。



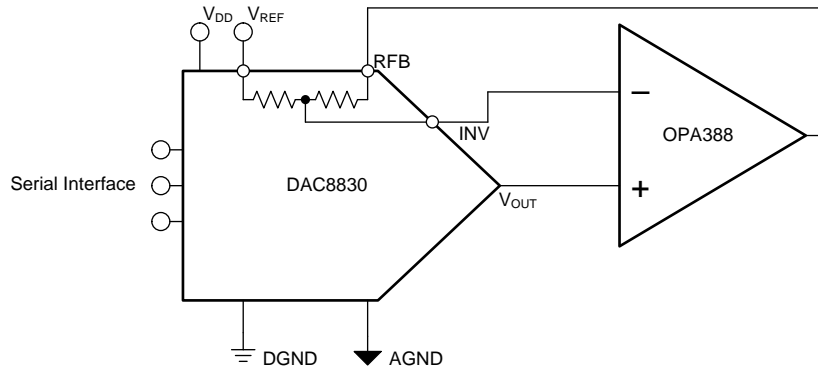
Copyright © 2016, Texas Instruments Incorporated

图 45. 单通道运算放大器桥式放大器原理图

8.2.3 精密低噪声 DAC 缓冲器

OPA388 可与 DAC8830 一起用于精密 DAC 缓冲器，如图 46 中所示。

OPA388 提供适用于 DAC 的超低漂移精密输出缓冲器。由于 OPA388 采用零交叉技术，因此可以在线性区域中使用广泛的 DAC 代码。由于 DAC8830 是 16 位转换器，因此精密基准对于实现最大精度至关重要。



Copyright © 2016, Texas Instruments Incorporated

图 46. 精密 DAC 缓冲器

典型应用 (接下页)

8.2.4 负载单元测量

图 47 显示了采用具有修整电阻器和 6 线制负载单元进行精密测量的高 CMRR 双通道运算放大器仪器放大器的 OPA388。图 48 显示了作为负载单元电阻变化函数的输出电压以及系统的非线性性能。

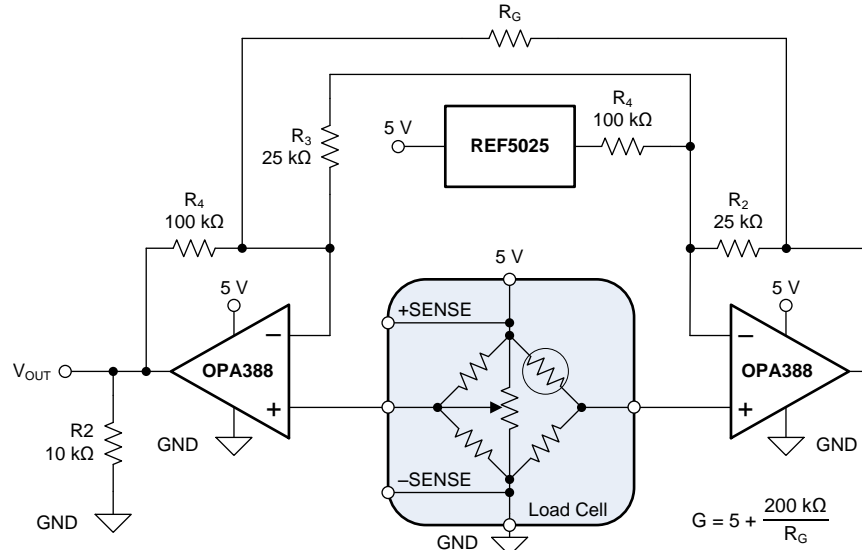


图 47. 负载单元测量原理图

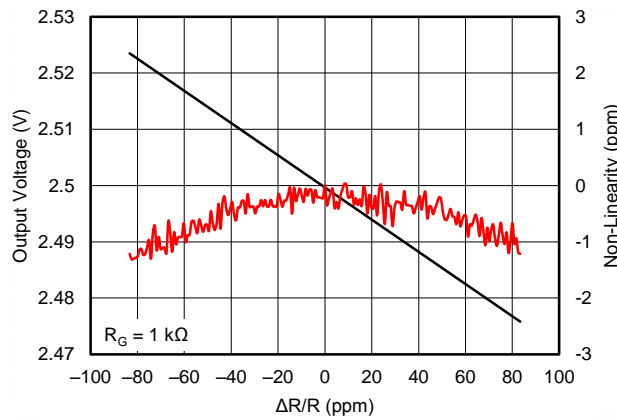


图 48. 负载单元测量输出

9 电源建议

OPAx388 系列器件的额定工作电压范围是 2.5V 至 5.5V (±1.25V 至 ±2.75V)。典型特性部分提供的参数可能会随工作电压的不同而出现显著变化。

10 布局

10.1 布局指南

建议使用良好的布局做法。尽量缩短走线，如果可以，在使用印刷电路板 (PCB) 接地平面时，请将表面贴装式组件放置在尽可能靠近器件引脚的位置。将 $0.1\mu\text{F}$ 电容器放置在尽可能靠近电源引脚的位置。在整个模拟电路中贯彻应用这些准则可提高性能并实现各种优势，如降低电磁干扰 (EMI) 易感性。

如要获得最低的失调电压和精度性能，必须优化电路布局和机械条件。避免在因连接不均质导体形成的热电偶结中产生热电 (塞贝克) 效应的温度梯度。通过确保两个输入端子的电势等效，可以消除这些热电产生的电势。其他布局和设计注意事项包括：

- 使用低热电系数条件 (避免异种金属)。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流 (如冷却风扇气流) 隔离。

遵循这些准则可降低在不同温度下产生结的可能性，这些结可能导致 $0.1\mu\text{V}/^\circ\text{C}$ 或更高的热电电压漂移，具体取决于所使用的材料。

10.2 布局示例

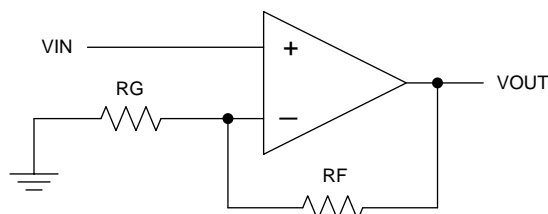
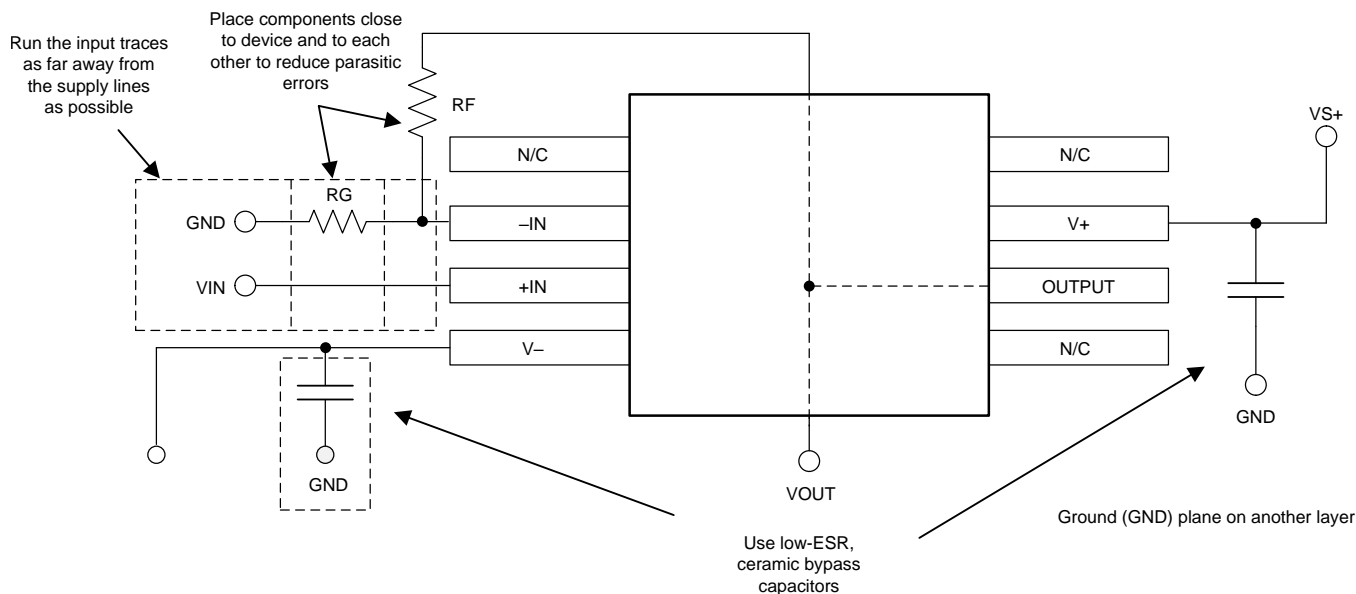


图 49. 原理图表示



Copyright © 2017, Texas Instruments Incorporated

图 50. OPA388 布局示例

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™ (免费下载)

TINA-TI™ 是一款基于 SPICE 引擎的电路仿真程序，简单易用并且功能强大。TINA-TI™ 是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI™ 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI™ 提供全面的后处理能力，便于用户以多种方式获得结果，用户可从 Analog eLab Design Center (模拟电子实验室设计中心) [免费下载](#)。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的功能，从而构建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件 (由 DesignSoft™ 提供) 或者 TINA-TI™ 软件。请下载 [TINA-TI™ 文件夹](#) 中的免费 TINA-TI™ 软件。

11.1.1.2 TI 高精度设计

OPAx388 系列采用 TI 高精度设计，请访问 www.ti.com/ww/en/analog/precision-designs/ 进行下载。TI 高精度设计是由 TI 公司高精度模拟应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。

11.2 文档支持

11.2.1 相关文档

请参阅如下相关文档：

- 《[电路板布局技巧](#)》
- 《[DAC883x 16 位、超低功耗、电压输出数模转换器数据表](#)》

11.3 相关链接

[表 2](#) 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具与软件，以及申请样片或购买产品的快速链接。

表 2. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具与软件	支持和社区
OPA388	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2388	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4388	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.4 接收文档更新通知

要接收文档更新通知，请导航至 Ti.com.cn 上的器件产品文件夹。单击右上角的 [通知我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

TI E2E™ 在线社区 [TI 的工程师对工程师 \(E2E\) 社区](#)。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 [TI 参考设计支持](#) 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.6 商标

TINA-TI, E2E are trademarks of Texas Instruments.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
All other trademarks are the property of their respective owners.

11.7 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.8 术语表

SLYZ022 — TI 术语表。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

重要声明和免责声明

TI 均以“原样”提供技术性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及ti.com.cn上或随附TI产品提供的其他可适用条款的约束。TI提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2019 德州仪器半导体技术（上海）有限公司

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA2388ID	PREVIEW	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP2388	
OPA2388IDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1D36	Samples
OPA2388IDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1D36	Samples
OPA2388IDR	PREVIEW	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 125	OP2388	
OPA388ID	ACTIVE	SOIC	D	8	75	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA388	Samples
OPA388IDBVR	ACTIVE	SOT-23	DBV	5	3000	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14KV	Samples
OPA388IDBVT	ACTIVE	SOT-23	DBV	5	250	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14KV	Samples
OPA388IDGKR	ACTIVE	VSSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	14LV	Samples
OPA388IDGKT	ACTIVE	VSSOP	DGK	8	250	Green (RoHS & no Sb/Br)	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	14LV	Samples
OPA388IDR	ACTIVE	SOIC	D	8	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA388	Samples
OPA4388ID	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4388	Samples
OPA4388IDR	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4388	Samples
OPA4388IPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4388	Samples
OPA4388IPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4388	Samples
POPA2388IDR	ACTIVE	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

⁽³⁾ **MSL, Peak Temp.** - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ **Lead/Ball Finish** - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2388IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2388IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA388IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA388IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA388IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA388IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA388IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4388IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4388IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2388IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2388IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA388IDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA388IDBVT	SOT-23	DBV	5	250	213.0	191.0	35.0
OPA388IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA388IDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA388IDR	SOIC	D	8	2500	367.0	367.0	35.0
OPA4388IDR	SOIC	D	14	2500	367.0	367.0	38.0
OPA4388IPWR	TSSOP	PW	14	2000	367.0	367.0	35.0

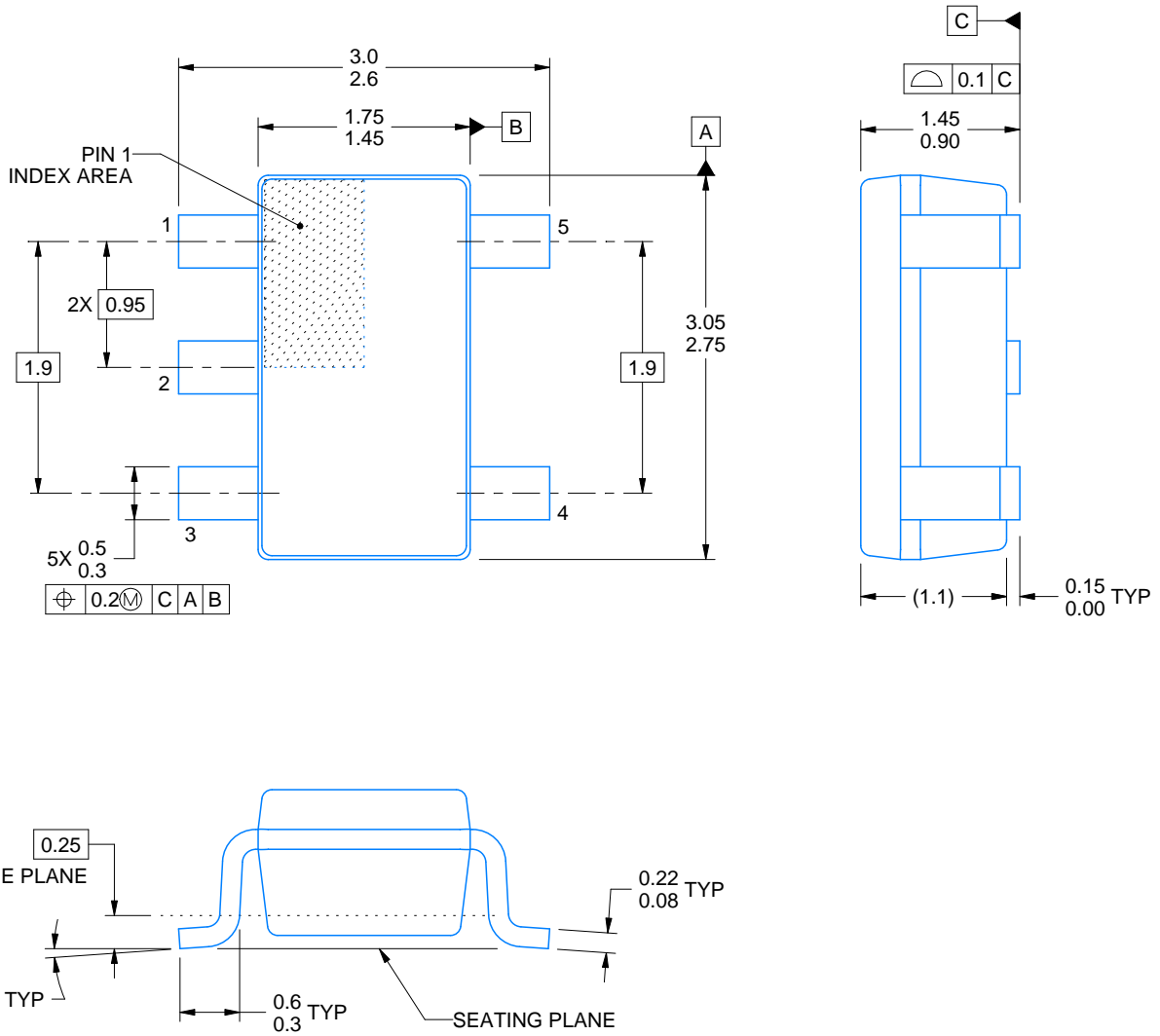
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/E 09/2019

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Reference JEDEC MO-178.
- Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/E 09/2019

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/E 09/2019

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4211283-3/E 08/12

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040064-3/G 02/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4211284-2/G 08/15

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK (S-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
 - E. Falls within JEDEC MO-187 variation AA, except interlead flash.



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI 均以“原样”提供技术性及其可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对TI 及其代表造成的损害。

TI 所提供产品均受TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改TI 针对TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司